

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-172766

(43)Date of publication of application : 23.10.1982

(51)Int.Cl.

H01L 29/76  
G11C 27/00

(21)Application number : 56-058262

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.04.1981

(72)Inventor : OGURA MOTOTSUGU  
TERUI YASUAKI

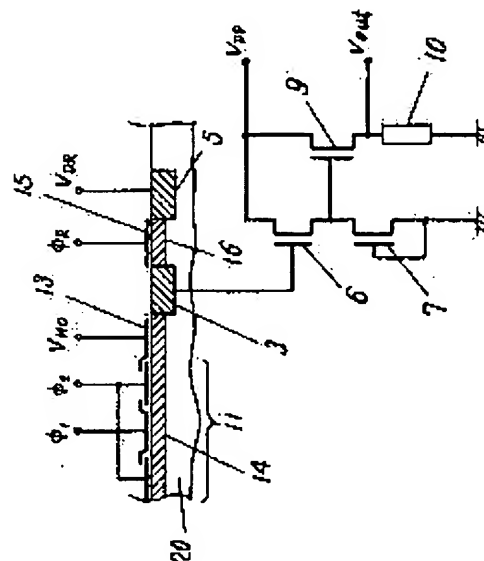
(54) CHARGE TRANSFER DEVICE

(57)Abstract:

**PURPOSE:** To make it possible to drive the output circuit of the charge transfer device by a low voltage and to make it suitable for a solid state image pickup element, by providing a depression type IGFET which resets a potential of a floating diffused layer into which the signal charge is transferred from a charge transfer part.

CONSTITUTION: A CCD element 11 which is to become the charge transfer part is formed in a semiconductor substrate 20, and the depression type, embedded CCD charge transfer part 14 is formed below the CCD element 11 and the output gate 13. The floating diffused layer 3 is formed at the same time as the formation of said transfer part 14. A lower channel part 16 beneath a reset gate 15 surrounded by the layer 3 and a drain 5 is also of the depression type. Transistors 6, 7, 9, and 10, which are connected to the floating diffused layer 3, are formed in the substrate 20 so as to form a unitary body.

Thus the manufacturing method is simplified, and the low voltage driving is facilitated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報 (A)

昭57—172766

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/76  
G 11 C 27/00

識別記号

庁内整理番号  
6851—5F  
7343—5B

⑬ 公開 昭和57年(1982)10月23日

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ 電荷転送装置

⑯ 発明者 照井康明

門真市大字門真1006番地松下電  
器産業株式会社内

⑰ 特 願 昭56—58262

⑱ 出 願 昭56(1981)4月16日

⑲ 出 願 人 松下電器産業株式会社

⑳ 発 明 者 小倉基次

門真市大字門真1006番地

門真市大字門真1006番地松下電  
器産業株式会社内

㉑ 代 理 人 弁理士 中尾敏男 外 1 名

## 明 細 書

## 1、発明の名称

電荷転送装置

## 2、特許請求の範囲

(1) 電荷転送部から転送されてくる信号電荷を取り込む浮遊拡散層の電位をリセットする絶縁ゲート型トランジスタがデプレッション型であることを特徴とする電荷転送装置。

(2) トランジスタを固体撮像素子の出力部に用いることを特徴とする特許請求の範囲第1項に記載の電荷転送装置。

(3) 電荷転送部が埋込みCCDよりなることを特徴とする特許請求の範囲第1項に記載の電荷転送装置。

## 3、発明の詳細な説明

本発明は、CCD (charge coupled device) 等の電荷転送装置の出力回路を低電圧駆動することを目的とするものである。

CCDの出力方式の主たるものに、フローティングディフュージョン(floating-diffusion)

がある。第1図にその従来の例を示す。駆動パルス $\phi_1$ 、 $\phi_2$ で信号が転送されるCCDの転送段1の最終段の次に駆動電圧 $V_{H0}$ で駆動する出力ゲート2があり、この出力ゲート2を介して、信号は浮遊拡散層3に取り込まれる。この信号による浮遊拡散層3の電位変化が2段のソースフォロア回路で $V_{out}$ に出力信号が出ることになる。尚、ソースフォロア回路系は2つのMOSトランジスタ6、9と負荷MOSトランジスタ7と負荷10で構成されており、MOSトランジスタ6、9は電源 $V_{DD}$ に、負荷MOSトランジスタ7、負荷10はアースに接続されている。

又、浮遊拡散層3の信号による電位変化は、駆動パルス $\phi_n$ で駆動されるMOSトランジスタ4と電源 $V_{DD}$ の電位にあるドレイン5とでリセットされる。このリセットの方法を、第2図、第3図で説明する。第2図はMOSトランジスタ4(以下、リセットゲート4と呼ぶ)に印加する駆動パルス $\phi_n$ の一例であり、第3図(a)、(b)、(c)は $\phi_n$ がリセットゲート4に印加された時の浮遊拡散層

3 ページ  
3, リセットゲート4の基板表面近傍, ドレイン5の各々のとりうる電位を示してある。信号電荷は電子、浮遊拡散層3及びドレイン5はN型拡散層とし、基板はP型として説明するが、信号電荷が正孔の場合、浮遊拡散層3及びドレイン5はP型拡散層、基板はN型となるが、考え方は同様であるので信号電荷が電子の場合についてのみ説明する。

第3図において、第1図と同一番号は同一部であり第3図(a), (b)は電位 $\phi$ は下向きを正とする。第2図の時間軸において時間 $t$ が $T_0 < t < T_1$ のとき $\phi_R = 0$ であるので、第3図(b)において浮遊拡散層3, リセットゲート4の下ドレイン5の電位は各々 $V_F$ ,  $V_0$ ,  $V_{DR}$ である。 $V_F$ は信号量に依存する。リセットゲート4はエンハンスメント型なので、 $V_0 \leq 0$ である。次に $\phi_R = V_1$  ( $T_1 < t < T_2$ )の時、リセットゲート4下の電位は $V_R$ になり、浮遊拡散層3の電子はリセットゲート4下を通じてドレイン5に流れ込み、浮遊拡散層3の電位 $V_F$ は $V_R$ となる。このようにし

5 ページ  
駆動パルス $\phi_R$ の一例において、 $T_0 < t < T_1$ のとき $\phi_R = 0$ では第6図(b)のように、浮遊拡散層3, リセットゲート15の下部16, ドレイン5は各々 $V_F$ ,  $V_P$ ,  $V_{DR}$ である。リセットゲート15はデプレッション型なので $V_P > 0$  ( $V_P$ はこのデプレッション型トランジスタのピンチオフ電圧に相当する)である。次に $\phi_R = V_2$ の時 ( $T_1 < t < T_2$ )、リセットゲート15の下部16はリセット電位 $V_R$ になり、浮遊拡散層3の電位 $V_F \rightarrow V_R$ になる。このようにして、駆動パルス $\phi_R$ により、信号量によって変化する浮遊拡散層3の電位 $V_F$ をリセット電位 $V_R$ にリセットする。リセットゲート15の下部16の電位をリセット電位 $V_R$ にするに要する駆動パルス $\phi_R$ の高さ $V_2$ は近似的に $(V_R - V_P)$ と表現でき、第2図に比べ小さい値となる。

第4図では、リセットゲート15をデプレッション型にすることにより、リセットゲート15の駆動パルス $\phi_R$ の高さ $V_2$ を小さくすることができる。駆動パルス $\phi_R$ の高さを、従来の $V_1$ と比

て、駆動パルス $\phi_R$ により信号量によって変化する浮遊拡散層3の電位 $V_F$ を、リセット電位 $V_R$ にリセットすることができる。この時、リセットゲート4の下の電位をリセット電位 $V_R$ にするために要する駆動パルス $\phi_R$ の高さ $V_1$ は $(V_R - V_0)$ に近似でき、 $V_1$ は大きな値となる。

本発明の特徴は、リセットゲートをデプレッション型のMOSトランジスタで構成することである。本発明の一実施例にかかる電荷転送装置の要部構成を第4図に示す。第1図と同一部材は同一番号で示す。半導体基板20に形成される電荷転送部となるCCD11および出力ゲート13の下には、デプレッション型の埋め込みCCD電荷転送部14が形成されており、このデプレッション転送部14の形成工程で同時にリセットゲート15の下部16も同様にデプレッション型にする。なお、トランジスタ6, 7, 9, 10も半導体基板20に一体形成される。

第4図における浮遊拡散層3の電位のリセットの方法を、第5図, 第6図で説明する。第5図の

6 ページ  
較すると、

$$V_1 \sim (V_R - V_0)$$

$$V_2 \sim (V_R - V_P)$$

$V_0 \approx 0$ とすると、 $V_1$ と $V_2$ の差は $V_P$ 分に相当することがわかる。 $V_P$ は通常8~10Vである故、駆動パルス $\phi_R$ の高さは従来に比べ極めて小さくすることが可能である。又のこのリセットゲート15の下部16の形成においては、最近のCCDはその転送効率の高いことより、ほとんどが埋め込みCCD(デプレッション型)であり、第4図の埋め込みCCD14の形成と同時に形成することが容易で、製造工程が簡単である。

また、埋め込みCCDは特にCCD固体撮像素子によく用いられており、本発明は、製造方法が簡単で、かつ低電圧駆動が容易に実現できるCCD固体撮像素子等に極めて有効である。

以上のように、本発明は電荷転送装置の出力回路を低電圧駆動することができ、固体撮像素子等において大きく寄与するものである。

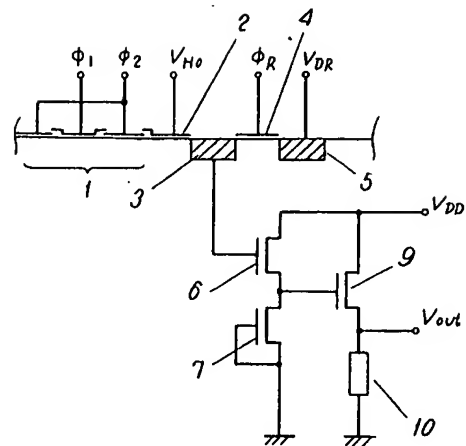
4、図面の簡単な説明

第1図はC C Dの出力回路部の概略構成図、第2図は第1図のリセットゲートの駆動パルス波形図、第3図(a), (b), (c)は第1図の浮遊拡散層、リセットゲート近傍、ドレインの各々の電位を示す模式図、第4図は本発明の一実施例にかかるC C Dの出力回路部の概略構成図、第5図は第4図のリセットゲートの駆動パルス波形図、第6図(a), (b), (c)は第4図の浮遊拡散層、リセットゲート、ドレインの各々の電位を示す模式図である。

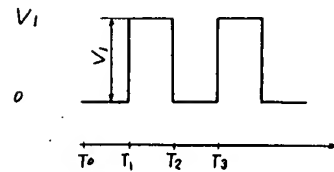
3……浮遊拡散層、5……ドレイン、11……C C D 転送段、14……デプレッション型埋込みC C D 電荷転送部、15……リセットゲート、16……デプレッション型リセットゲートの下部。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

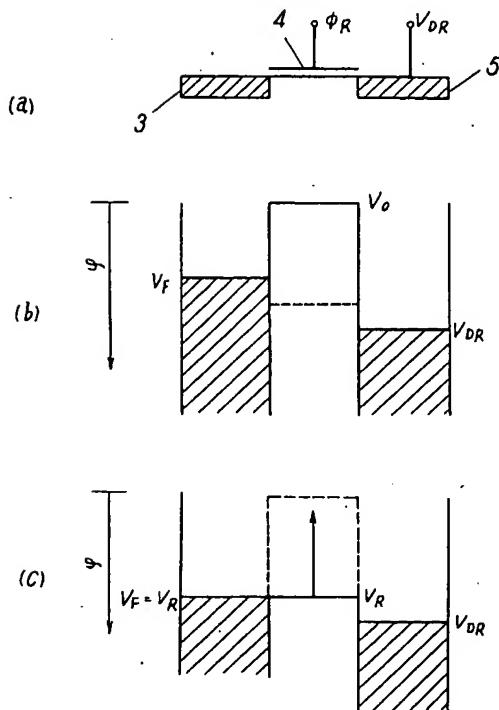
第 1 図



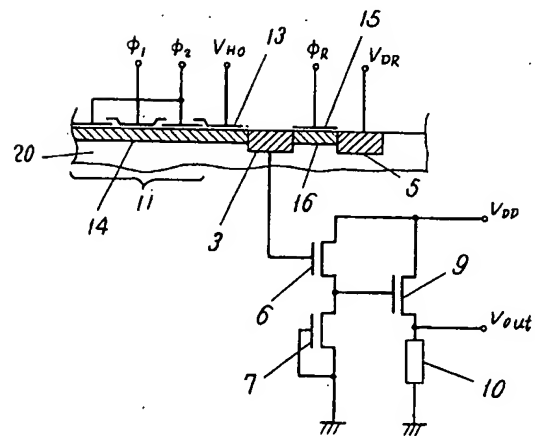
第 2 図



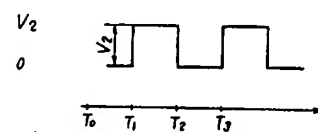
第 3 図



第 4 図



第 5 図



第 6 図

